

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-95207

(43) 公開日 平成5年(1993)4月16日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 1/383	A	4241-5 J		
1/36	A	4241-5 J		

審査請求 未請求 請求項の数6(全 8 頁)

(21) 出願番号	特願平3-204395	(71) 出願人	390039147 ヒューズ・エアクラフト・カンパニー HUGHES AIRCRAFT COMPANY アメリカ合衆国、カリフォルニア州 90045-0066, ロサンゼルス、ヒューズ・ テラス 7200
(22) 出願日	平成3年(1991)8月14日	(72) 発明者	マーク・エー・タルコット アメリカ合衆国、カリフォルニア州 90504, トアランス、ウエスト・ワンハン ドレッドセブンティセブンス 4159
(31) 優先権主張番号	5 6 8 3 7 8	(74) 代理人	弁理士 鈴江 武彦
(32) 優先日	1990年8月15日		
(33) 優先権主張国	米国 (U S)		

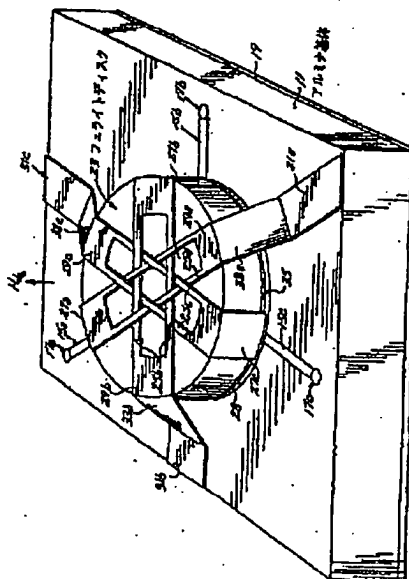
最終頁に続く

(54) 【発明の名称】 広帯域交叉導体集中定数素子サーキュレータ用の共通ノードリアクタンス回路網

(57) 【要約】

【目的】 本発明は、小型で広い動作帯域を有するマイクロ波回路中で使用するサーキュレータ回路を得ることを目的とする。

【構成】 フェライトディスク23と多重ポート 31a~cとを具備する集中定数素子サーキュレータと、共通接地平面19に集中定数素子サーキュレータを共振的に結合する手段とを具備していることを特徴とする。集中定数素子サーキュレータはフェライトディスク23と、その上面で交叉して互いに容量結合されて一端がポートに接続されているマイクロストリップ導体25a~cとによって構成され、集中定数素子サーキュレータはフェライトディスク23の底面の金属層28と基体11の上面に形成された金属層13とがそれらを接合している接着剤層35を誘電体としてキャパシタを形成し金属層13に接続されたインダクタンス15の直列回路によって接地平面19に接続されている。



(2)

待開平5-95207

【特許請求の範囲】

【請求項1】 共通接地平面を有するマイクロ波回路中で使用するサーキュレータ回路において、フェライトディスクと、循環方向におけるポート間のエネルギーの結合と循環方向と反対方向におけるポート間の分離とを行うように構成された多重ポートとを具備する集中定数素子サーキュレータと、共通接地平面に前記集中定数素子サーキュレータを共振的に結合する手段とを具備していることを特徴とするサーキュレータ回路。

【請求項2】 前記共振的に結合する手段は前記サーキュレータと接地平面との間に直列に接続された並列電極板キャパシタおよびマイクロストリップラインインダクタンスを備えている請求項1記載のサーキュレータ回路。

【請求項3】 前記並列電極板キャパシタは前記フェライトディスク上の第1の電極板と前記フェライトディスクを支持する基体上の第2の電極板とを具備し、前記マイクロストリップラインインダクタンスはこの基体上に形成されている請求項1記載のサーキュレータ回路。

【請求項4】 共通接地平面を有するマイクロ波回路中で使用するサーキュレータ回路において、第1と第2の平行な側面を有するフェライトディスクと、

このフェライトディスクの第1の側面に配置され、第1の端部がそれぞれサーキュレータ回路のポートを構成している複数のマイクロストリップ導体と、フェライトディスクの第2の側面に配置された第1の導電層と、

前記マイクロストリップ導体の第2の端部をこの第1の導電層に電気的に接続する手段と、

前記第1の導電層と誘電体で分離され、第1の導電層と共にキャパシタを形成している第2の導電層と、

第2の導電層と共通接地平面との間に電気的に接続されたストリップラインインダクタンス手段とを具備していることを特徴とするサーキュレータ回路。

【請求項5】 前記第2の導電層と前記ストリップラインインダクタンス手段とは前記フェライトディスクを支持する基体上に配置されている請求項4記載のサーキュレータ回路。

【請求項6】 前記第2の導電層と前記ストリップラインインダクタンス手段とは前記第1の導電層に固定された誘電体ディスク上に配置されている請求項4記載のサーキュレータ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、サーキュレータ回路として知られている多重ポートに電力を導く回路に関し、特に比較的広帯域の集中定数素子サーキュレータ回路に関する。

【0002】

【従来の技術】 サーキュレータ回路はマイクロ波システムの素子間にマイクロ波電力を導くためのマイクロ波システムにおいて広く使用されている。例えばレーダシステムにおいて、送信信号を放射アンテナに結合し、同じアンテナによって受信された信号を受信機に導くために使用されるサーキュレータはまた両者の機能間の分離を維持する。現在マイクロ波周波数動作のためのマイクロ波集積回路中で使用されているサーキュレータはフェライトマイクロストリップ装置を備えている。フェライトマイクロストリップ装置では特にフェイズドアレイモジュールに対して寸法の問題となる。

【0003】 従来知られているサーキュレータにはまたマイクロ波周波数においてフェライトマイクロストリップサーキュレータに比較して小型の集中定数素子サーキュレータとして知られているサーキュレータが含まれている。しかしながら従来の集中定数素子サーキュレータのマイクロ波周波数における動作帯域幅はフェライトマイクロストリップサーキュレータの動作帯域幅よりも著しく狭い。以下にマイクロストリップサーキュレータおよび集中定数素子サーキュレータの文献を示す。1.

- "On Stripline Y-Circulation at UHF" H. Bosma, IEEE Transactions on Microwave Theory & Tech., Vol. MTT-12, 61~72頁, 1964年1月。
- "Lumped Element Y Circulator" Y. Konishi, IEEE Transactions on Microwave Theory & Tech., Vol. MTT-13, 852~865頁, 1965年11月。
- "Resonance Isolator and Y-Circulator with Lumped Element at VHF" J. Deutsch および R. Wiesner, IEEE Transactions on Magnetics, Vol. MAG-2, 278~282頁, 1966年9月。
- "Compact Broad-Band Thin-Film Lumped Element L-Band Circulator" R.H. Knerr, IEEE Transactions on Microwave Theory & Tech., Vol. MTT-18, 1100~1108頁, 1970年12月。
- "An Improved Equivalent Circuit for the Thin Film Lumped Element Circulator" R.H. Knerr, IEEE Transactions on Microwave Theory & Tech., Vol. MTT-20, 446~452頁, 1972年7月。
- "4-GHz Lumped Element Circulator" R.H. Knerr, IEEE Transactions on Microwave Theory & Tech., Vol. MTT-16, 150~151頁, 1973年3月。
- "Wideband Operation of Microstrip Circulators" Y.S. Wu および F.J. Rosenbaum, IEEE Transactions on Microwave Theory & Tech., Vol. MTT-22, 849~856頁, 1974年10月。
- "Bidirectional Thin-Film Lumped Element Circulator" M. Kitlinski, Electronic Letters, Vol. 10, No. 6, 1974年。
- "The Frequency Behavior of Stripline Circulation Junctions" S. Ayter および S. Ayasli, IEEE Transactions on Microwave Theory & Tech., Vol. MTT-26, 197~202頁, 1978年3月。
- "Broad-Band Stripline Circulators Based on YIG and Li-Ferrite Single Crystal" B. Schloemann および R.E. Blight, IEEE Transacti

(3)

待開平5-95207

3

onson Microwave Theory & Tech., Vol. MIT-34, 1394~1400頁, 1986年12月, 11. "Circulators for Microwave and Millimeter Wave Integrated Circuits" B.P. Schloemann, Proceedings of IEEE, Vol. 76, 188~200頁, 1988年2月, 12. "Multiport Lumped Element Circulator" W. Kittlinski, Technical University of Gdansk, Telecommunications Institute 80-852 Gdansk, Majakowskiego, 11/12, Poland.

【0004】

【発明が解決しようとする課題】それ較小型で比較的広い帯域幅を有するマイクロ波サーキュレータ回路を提供することは重要である。また従来知られている集中定数素子サーキュレータ構造を利用した比較的広帯域のマイクロ波サーキュレータを提供することも大きな利点がある。

【0005】

【課題を解決するための手段】本発明によれば、この目的は、集中定数素子サーキュレータおよびマイクロ波回路の共通接地平面にこの集中定数素子サーキュレータを結合する共通ノードリアクタンス回路網を具備しているマイクロ波回路で使用するサーキュレータ回路によって達成される。

【0006】

【実施例】以下、添付図面を参照にして本発明の実施例を詳細に説明する。同一の部品は各図で同一の符号を使用している。図1は3ポートサーキュレータ回路10の理想的な動作を示す概略図である。理想的にはサーキュレータは全ポートにおいてゼロ反射であり、前進方向において挿入損失はゼロである。図1に示すようにそのような前進方向はポート1からポート2へ、ポート2からポート3へ、ポート3からポート1への方向である。さらにサーキュレータは理想的には反対方向において無限大の分離を行う。図1に示す実施例では、反対方向はポート1からポート3へ、ポート2からポート1へ、ポート3からポート2への方向である。

【0007】図2および図3には本発明の1実施例のサーキュレータ回路の構成が示されている。サーキュレータ回路はアルミナ基体11を備えており、それは共通ノードリアクタンス回路および直列の共振回路を介して接地平面に結合された集中定数素子サーキュレータを支持している。共通ノードリアクタンス回路は平行電極板キャパシタおよびマイクロストリップラインインダクタンスを含んでいる。アルミナ基体11上に形成された等辺三角形形状の金属被覆区域13はキャパシタの第1の電極板を形成している。キャパシタの第2の電極板は以下さらに詳細に説明するように集中定数素子サーキュレータを構成する構造の一部である。マイクロストリップラインインダクタンス15a, 15b, 15cは金属被覆区域13の各頂点から放射方向に延在し、金属被覆区域13を中心にして等間隔である。インダクタンスの端部は各接地ピン17a, 17b, 17cに接続され、それらの接地ピン17a, 17b, 17cは基体11を貫通して下方に延びて基体11の底面の金属被覆区域19に電気的に接続されている。金属被覆区域19は基体11上に配置されたマイクロストリップ回路のための接地平面を構成している。

【0008】線状の支持突起体21は金属被覆区域13の各側面に隣接して配置され、金属被覆区域13を結合キャパシタの第2の電極板から分離している。この結合キャパシタの第2の電極板は集中定数素子サーキュレータを構成する構造の底部に形成された金属層28から構成されている。

【0009】例として説明すると、結合キャパシタの第1の電極板を構成している金属被覆区域13とマイクロストリップラインインダクタンス15は薄膜フォトリソグラフィ技術によって形成され、支持突起体21は現像されたフォトレジストの領域により構成される。集中定数素子サーキュレータはフェライトディスク23と、このフェライトディスク23上に対称的に配置された3個のマイクロストリップ導体25a, 25b, 25cを含んでいる。各マイクロストリップ導体は各端部で共に接続された第1と第2の平行なストリップで構成されている。対称性を維持するために、マイクロストリップ導体のストリップはフェライトディスクの中心区域で織り合されている。

【0010】マイクロストリップ導体の第1の端部はそれぞれ接地帯体27a, 27b, 27cに接続され、それら帯体27a, 27b, 27cはフェライトディスク23の底面に形成された金属層28まで下方に延在している。マイクロストリップ導体の第2の端部は各終端金属層区域29a, 29b, 29cに接続され、それは各結合ストリップ33a, 33b, 33cを介してそれぞれ50オームのマイクロストリップ81a, 31b, 31cに電気的に接続されている。織り合されたマイクロストリップ素子は適当な誘電体層（図示せず）によって互いに分離され、導体の交叉部分はそれぞれの交叉マイクロストリップライン間の結合キャパシタンスを構成する。

【0011】フェライトディスク23とその上に配置された部品を含む装置は接着層35によって基体11上に接着され、この接着層35はさらに基体11上に配置された金属被覆層13とフェライトディスク23の底面に配置された金属層28とにより構成された平行電極板キャパシタの電極板間の誘電体として機能する。上述のように支持突起体21は基体11上に形成された金属被覆層13とフェライトディスク23の底面に配置された金属層28とにより構成された平行電極板キャパシタの電極板間の分離を維持する。集中定数素子サーキュレータはさらにバイアス磁界 H_{dc} を供給するためのバイアス磁石を備えている。

【0012】フェライトディスク23の上面の導体および誘電体層は薄膜フォトリソグラフィ技術によって形成され、幾つかの工程が誘電体と導体の交叉区域を形成するために使用される。フェライトディスク23の底面もまた薄膜金属被覆技術を使用して金属層を形成される。

5

【0013】図4乃至6を参照すると、本発明のサーキュレータ回路の別の実施例が示されている。共通ノードリアクタンス回路および集中定数素子サーキュレータを含むサーキュレータ装置は基体111中に形成された穴中に挿入され、金属支持体136によって支持されている。共通ノードリアクタンス回路はマイクロストリップ平行電極板キャパシタおよびマイクロストリップラインインダクタンスを備えている。キャパシタの第1の電極板を構成する切込みを付けられた金属の円形区域113が誘電体ディスク211の底面に形成される。マイクロストリップラインインダクタンス115は円形区域113の切込み部分から誘電体ディスク211の縁部へ外方に延在している。誘電体ディスク211の上面は共通ノードリアクタンス回路のキャパシタの第2の電極板を構成している金属層116を備えている。誘電体ディスク211の上面は薄膜技術を使用して金属被覆され、誘電体ディスク211の底面の金属被覆パターンは薄膜フォトリソグラフ技術を使用して形成される。

【0014】集中定数素子サーキュレータはフェライトディスク123とこのフェライトディスク123上に対称に配置された3個のマイクロストリップ導体125を備えている。各マイクロストリップ導体125は各端部で共通に接続されている第1と第2の平行なストリップで構成されている。対称性を維持するために、マイクロストリップ導体のストリップはフェライトディスクの中心区域で織り合されている。マイクロストリップ導体の第1の端部はそれぞれ接地帯体127に接続され、帯体127はフェライトディスク123の底面に形成された金属層128までフェライトディスク123の下方に延在している。マイクロストリップ導体の第2の端部はそれぞれ終端金属層区域129cに接続され、それらは各結合ストリップ133を介してそれぞれ50オームのマイクロストリップ31a, 31b, 31cに電気的に接続されている。織り合されたマイクロストリップ素子は適当な誘電体層（図示せず）によって互いに分離され、導体の交叉部分はそれぞれの交叉マイクロストリップライン間の結合キャパシタンスを構成している。

【0015】フェライトディスク123の上面の導体および誘電体層は薄膜フォトリソグラフ技術によって形成され、幾つかの工程が誘電体と導体の交叉区域を形成するために使用される。フェライトディスク123の底面もまた薄膜金属被覆技術を使用して金属で被覆されている。

【0016】集中定数素子サーキュレータ回路および共通ノードリアクタンス回路は導電性エポキシを使用して接合されている。特にフェライトディスク123の底面の金属層128は導電性エポキシ層130により誘電体ディスク211の上面の金属層116に接合されている。共通ノードリアクタンス回路と集中定数素子サーキュレータ回路を備えた装置はアルミナ基体111の穴138内に整列され、共振ハンダ層137を使用して金属支持体136に取付けられる。金属支持体136の穴138の直径は、金属タブ35および誘電

(4)

特開平5-95207

6

体ディスク211の底面上のマイクロストリップラインインダクタンス115の端部がハンダ層137によって金属支持体136に取付けられることを可能にするように選択されている。この取付けはマイクロストリップラインインダクタンス115を共通接地平面119に電気的に接続する。

【0017】集中定数素子サーキュレータはさらにバイアス磁界 H_0 を供給するためのバイアス磁石を備えている。

【0018】図7を参照すると、本発明の広帯域サーキュレータ回路の概略等価回路が示されている。集中定数素子サーキュレータは集中定数素子サーキュレータ等価回路素子57, 58, 59, 60によって表されている。インダクタンス57は平行分割マイクロストリップ実効負荷インダクタンスを表し、キャパシタ58は中心のマイクロストリップの交叉によって形成された等価結合キャパシタンスである。インダクタンス60端部タブのインダクタンスであり、抵抗59は等価マイクロストリップ抵抗損失を表している。

【0019】共通ノードリアクタンス回路を接地平面へ結合する結合キャパシタおよび直列インダクタンスはそれぞれインダクタンス55と直列のキャパシタ53によって表されている。インダクタンス55と並列のキャパシタ56はストレーキャパシタンスを表している。

【0020】本発明の動作を理解するために、以下集中定数素子サーキュレータの簡単な説明を行なう。どのようにして循環、すなわち前進方向の結合および反対方向の分離が集中定数素子サーキュレータにおいて得られるのかを理解するために、フェライトの特性を考える必要がある。直流バイアス磁界 H_0 の影響下ではフェライト中の電子はその角度回転軸をバイアス磁界の方向に整列させる傾向がある。もしも妨害磁界がバイアス磁界の方向に垂直に供給されるならば、電子はフェライトの制動機構が平衡歳差軌道を設定するまでその整列軸を中心に歳差運動をするであろう。2つの反対方向の内偏波磁界の場合には、歳差角度の方向に偏波された磁界はフェライト材料の特性と相互作用し、反対の偏波の磁界は相互作用は小さく、或いは全く行われない。材料の相互作用は2つの反対方向の内偏波磁界に対して別々の共振周波数を生成する。この別々の共振周波数は線形磁界の回転を生じさせ、その結果2つの反対の回転の組み合わせから円偏波磁界が生じる。

【0021】磁気的にバイアスされたフェライトコアは磁力線が集中定数素子サーキュレータの信号の1つと平行であり（すなわち分離）、残りのマイクロストリップと交叉する（すなわち結合）ように入来する磁界（妨害磁界）を回転させる。集中定数素子の円形循環はマイクロストリップコイルの磁気的にバイアスされたフェライトコアによる非可逆的誘導性結合によって得られる。例えばポート1に入る磁界はフェライトコアにより回転され、ポート1と2に接続された導電性マイクロストリップ

(5)

特開平5-95207

コイル間の最大磁気誘導を与え、一方ポート3に接続された導電性マイクロストリップコイルに対しては最小の磁気誘導を維持する。また集中定数素子サーキュレータの近接した交叉導体は各導電性マイクロストリップコイル間の緊密な磁気結合を可能にする。

【0022】前述の参照文献に示されているように3ポート集中定数素子サーキュレータの特性は等価集中定数素子モデルの特性固有値によって解析されることができ、正および負の回転固有値はフェライトの特性と織り合された分割導体の共振構造依存するすることが示されている。非回転固有値、帯域幅制限因子は結合回路網によって特有の制御をされることが示され、それは集中定数素子サーキュレータの3個の導電性コイルの全てに共通である。本発明により共振共通ノードリアクタンス回路は増加された制御により非回転固有値を許容される。

【0023】図7の等価回路に関して、本発明によるサーキュレータ回路の例示的実施例に対する回路値が3125 Gaussの磁気飽和 ($4\pi Ms$)、150 oeのライン幅、および2325 oeのバイアス内部磁界を有するフェライトディスクに対して以下に示される。

【0024】

インダクタンス57	0.46 nH
抵抗59	1 Ω
キャパシタンス58	0.03 pF
キャパシタンス53	2.13 pF
インダクタンス55	0.214 nH
キャパシタンス56	0.0 pF
インダクタンス60	0.03 nH

以上の例において中心周波数9.75 GHz、帯域幅7.5 GHz

zにおいて20 dB以上の分離と、0.5 dB以下の挿入損失が得られた。従来既知の集中定数素子サーキュレータの特性に比較して、本発明によるこの実施例のサーキュレータは5倍の特性の改善を得ることができた。

【0025】以上マイクロ波周波数において1オクターブ以上の動作帯域幅で著しく小型に構成することのできるサーキュレータ回路が開示された。上記の説明は本発明の特定の実施例の説明であるが、当業者には特許請求の範囲に記載された本発明の技術的範囲を逸脱することなく種々の変形変更が可能であろう。

【図面の簡単な説明】

【図1】サーキュレータ回路の動作を説明するための概略図。

【図2】本発明の1実施例のサーキュレータ回路の斜視図。

【図3】図2の実施例のサーキュレータ回路の基体の中心部分の平面図。

【図4】本発明の別の実施例のサーキュレータ回路の斜視図。

【図5】図4の実施例のサーキュレータ回路の誘電体ディスクの平面図。

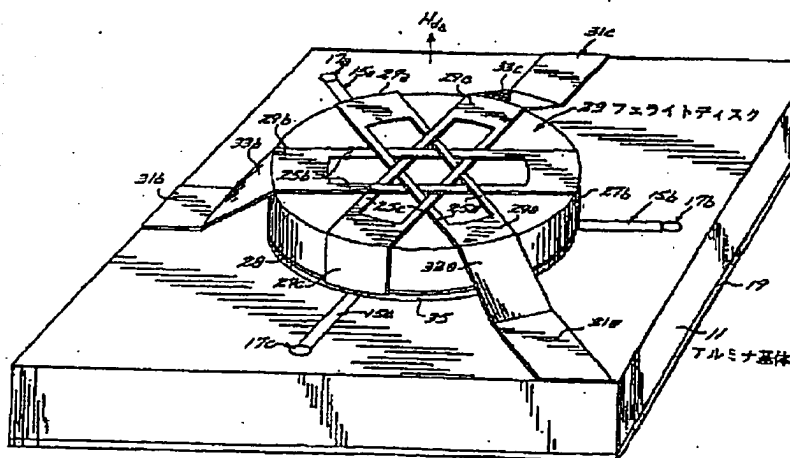
【図6】図5の誘電体ディスクの断面図。

【図7】図2および3ならびに図4乃至6に示したサーキュレータ回路の等価回路図。

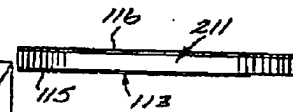
【符号の説明】

11…アルミナ基体、15a~c3…マイクロストリップラインインダクタンス、23…フェライトディスク、25a~c…マイクロストリップ導体。

【図2】



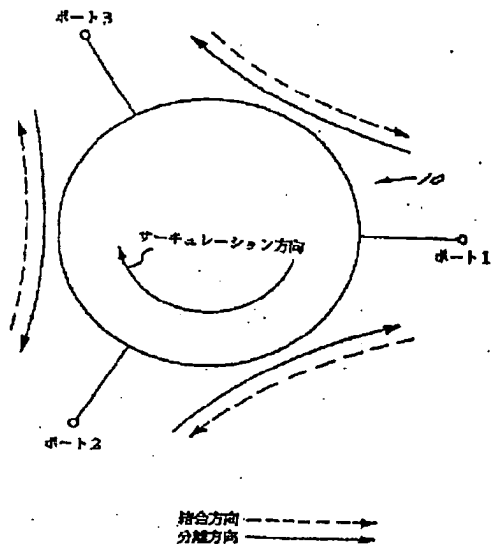
【図6】



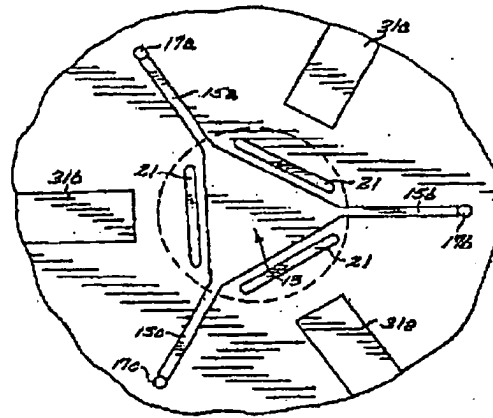
(6)

特開平5-95207

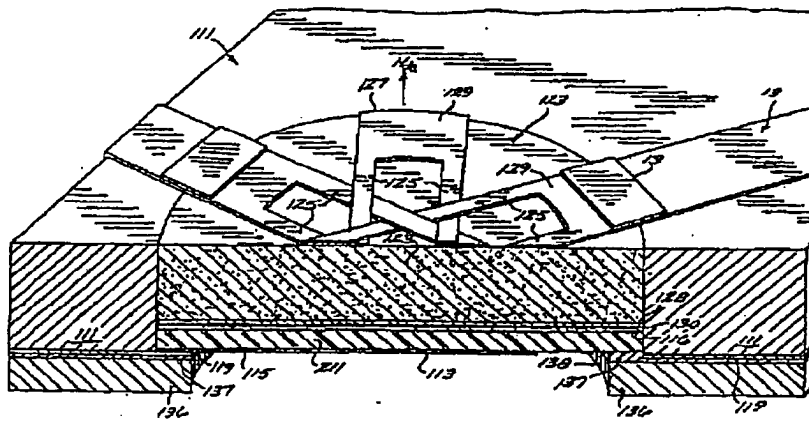
【図1】



【図3】



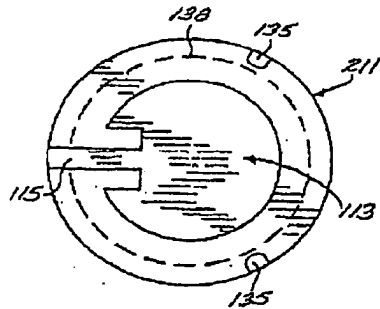
【図4】



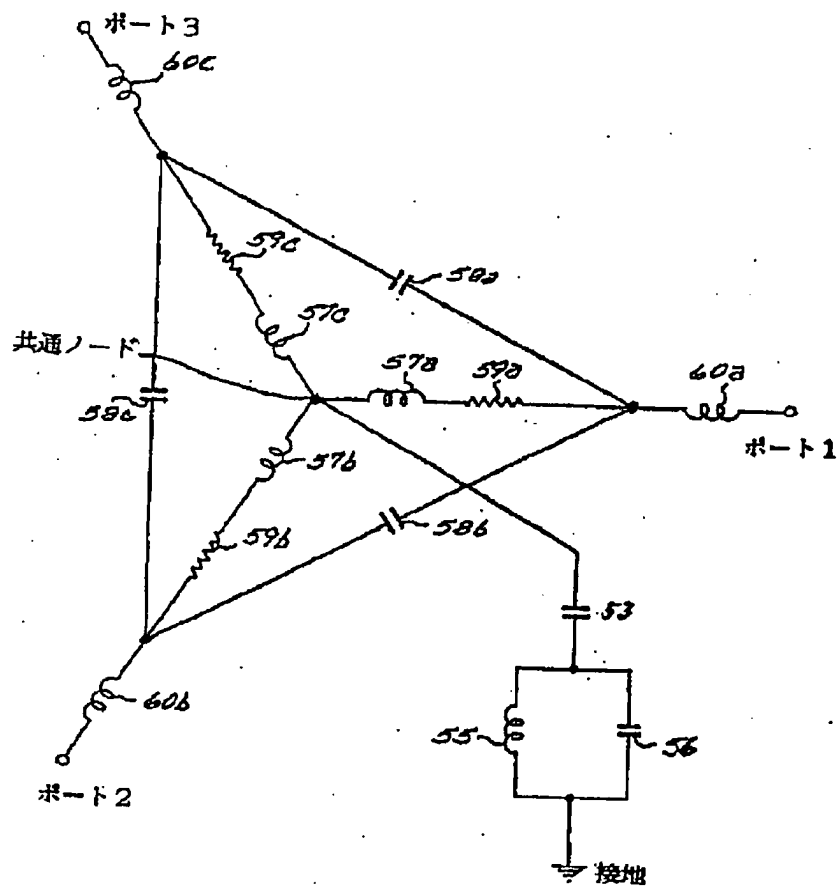
(7)

特開平5-95207

【図5】



【図7】



(8)

特開平5-95207

フロントページの続き

(72)発明者 キム・アルト・プールソン
アメリカ合衆国、カリフォルニア州
93555、リッジクレスト、ベトリス 304

(72)発明者 オム・ビー・ガンディ
アメリカ合衆国、ユタ州 84112、ソル
ト・レイク・シティー、メリル・エンジニ
アリング・ビルディング 4516